

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030041735 A
(43)Date of publication of application: 27.05.2003

(21)Application number: 1020010072817
(22)Date of filing: 21.11.2001

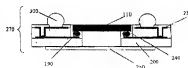
(71)Applicant: CCUBE DIGITAL CORPORATION, LTD.
(72)Inventor: KIM, JONG HEON

(51)Int. Cl. H01L 23 /48

(54) PACKAGE FOR CMOS IMAGE SENSOR CHIP AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A package for CMOS image sensor chip and a fabricating method thereof are provided to reduce a size of the package and a size of a final module by using a flip-chip solder bumping method. CONSTITUTION: A CMOS image sensor chip(110) includes plural exposed electrode pads separated by an insulating layer. A multi-layered lower metal layer is formed on the plural electrode pads. A solder bump(190) is adhered on the multi-layered lower metal layer. An image sensor assembly(270) is formed by mounting a package of the CMOS image sensor chip including the solder bump on a printed circuit board(200) having a plurality of substrate electrode pads. A sealing resin agent(240) is used for sealing the solder bump and a glass plate of an opening portion.



copyright KIPO 2003

Legal Status

Date of request for an examination (20011121)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20050520)
Patent registration number (1004940230000)
Date of registration (20050530)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse (2004101002619)
Date of requesting trial against decision to refuse (20040615)

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51). Int. Cl. 7
H01L 23/48

(11) 공개번호
(43) 공개일자
특2003-0041735
2003년05월27일

(21) 출원번호
(22) 출원일자
10-2001-0072817
2001년11월21일

(71) 출원인
주식회사 씨퓨브디지탈
충청북도 청원군 오창면 오창과학산업단지 17-5

(72) 발명자
김종현
충청북도청주시흥덕구가경동1511대원아파트101동1107호

심사청구 : 있음

(54) 반도체 촬상소자 패키지 및 그 제조방법

요약

본 발명은 반도체 촬상소자(CMOS Image Sensor Chip)용 패키지(Package)에 관한 것으로, 반도체 촬상소자 패키지를 종래의 세라믹 이미지 센서 패키지(3)에 비해서 저가이면서 생산성이 우수하고, 그 크기 및 높이 측면에서 혁신적으로 감소된 플립칩 솔더 범핑을 이용한 패키지 구조 및 그 제조공정과 이를 이용한 모듈구조를 제공하는 것을 목적으로 한다.

이를 이용하여 웨이퍼 상태에서 패키지 공정을 끝내는 플립칩 솔더 범핑공정을 이용하며, 솔더 볼(300)의 용융공정(reflow) 시 플럭스를 사용하지 않는 특수기법을 사용하여 이미지 센서 영역의 오염 및 급열 발생을 방지할 수 있도록 한 것이다.

대표도

도 4

색인어

반도체 촬상소자, 솔더 범프, 이미지 센서 어셈블리, 불소 플라스마 처리

명세서

도면의 간단한 설명

도 1a 내지 도 1c 는 종래 기술에 의한 다수의 전극패드를 갖는 반도체 촬상소자 및 이미지 센서 모듈을 개략적으로 도시한 도면

도 2a 내지 도 2g 는 본 발명의 양호한 실시예를 보인 것으로서, 본 발명에 따른 촬상소자에 솔더 범프를 형성하는 공정을 나타낸 공정도

도 3a 내지 도 3e 는 본 발명에 의해 제조된 반도체 촬상소자 플립칩 패키지용 회로기판의 구조 및 회로기판에 패키지를 실장하는 공정을 도시한 흐름도

도 4 는 본 발명으로 제조된 반도체 활성소자 모듈의 단면도

도 5 는 본 발명으로 제조된 반도체 활성소자 패키지를 제품에 장착한 상태를 나타낸 개략적인 설명도

도 6 은 동일한 소자크기에 대해 본 발명으로 제조된 반도체 활성소자 패키지의 크기 감소효과를 종래의 이미지 센서 패키지와 개념적으로 비교한 도면

* 도면의 주요부분에 대한 부호의 설명 *

1 : 반도체 활성소자 2 : 전극패드

3 : 이미지 센서 패키지 4 : 솔더 웨이어

5 : 유리판 6 : 세라믹 기판

7 : 리이드 8 : 집착체

9 : 렌즈 유니트 10 : 렌즈 홀더

11 : 모듈 기판

100 : 하부 금속층 110 : 반도체 활성소자

120 : 절연층 130 : 금속 집착층

140 : 중간 확산방지층 150 : 솔더 본딩층

160 : 전극패드 180 : 도금공정용 감광성 물질

185 : 에칭용 감광성 물질 190 : 솔더 뱀프

200 : 회로기판 210 : 기판전극패드

220 : 개구부 235 : 기판용 절연층

240 : 봉지수지재 245 : 유리판

250 : 회로기판 가이드 바 260 : 모듈 절단용 홈

270 : 이미지 센서 어셈블리 280 : 스텐실 마스크

290 : 스텐실 마스크 구멍 300 : 솔더 볼

320 : 초음파 트랜듀서 330 : 렌즈 유니트

340 : 렌즈 홀더 350 : 모듈 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 활성소자용 이미지 센서 패키지에 관한 것으로서, 보다 구체적으로는 플립칩 솔더 번딩(solder bu

mping)을 이용한 반도체 촬상소자 패키지 및 그 제조방법에 관한 것이다.

일반적으로, 이미지 센서 칩은 고체 촬상소자라고도 불리는 것으로서, 광전 변환소자와 전하 결합소자를 사용하여 피사체를 촬상하여 전기적인 신호로 출력하는 장치를 말한다.

이와 같은 이미지 센서 칩을 기판에 장착하기 위해서는 칩을 패키지 바디 내에 탑재시키는 패키징 작업을 행하게 되는데, 이를 설명하면 아래와 같다.

도 1a 내지 도 1c를 참조하면, 종래의 반도체 촬상소자(1)의 이미지 센서 모듈은 도 1c에 도시한 바와 같이 렌즈 홀더(10), 렌즈 홀더에 부착된 렌즈 유닛(9) 및 렌즈 홀더의 하단부 이미지 센서 패키지(3) 등으로 구성되어 있다.

이중 이미지 센서 패키지(3)는, 도 1b에 도시한 바와 같이 세라믹 기판(6)상에 리이드(7)로 연결되어 있는 플라스틱 또는 세라믹 패키지로 제작되어 있고, 그 패키지 내부에는 반도체 촬상소자(1) 이미지 센서 칩을 갖고 있으며, 이미지 센서 칩은 골드 와이어(4) 본딩을 통해 세라믹 기판(6)과 전기적으로 연결되어 있고, 유리판(5)이 집착제(8)로 집착되어 있어 외부 환경으로부터 보호된다.

상술한 바에 따르면, 반도체 촬상소자 이미지 센서 모듈의 크기는, 반도체 촬상소자(1)가 실장되어 있는 패키지 크기와 면적에 전적으로 의존하기 때문에 하단의 카메라 부의 크기를 어느 정도 감소시키는가에 의해서 결정된다.

따라서 기존 제품에 적용되고 있는 기존의 골드 와이어(4) 본딩 및 플라스틱 몰딩 또는 세라믹 공정에 의한 패키지는, 골드 와이어 본딩에 의해 패키지 크기가 커지는 단점을 지니고 있고, 또한 제작 공정시간이 길어지기 때문에 저가 및 제품 크기의 소형화 추세에 적극적으로 부응할 수 없는 단점을 지니고 있다.

따라서 본 발명은 최근 이동 통신기기 또는 PC 용 주변 부품의 소형화 추세에 따라 큰 면적을 차지하고 있는 렌즈 부의 소형화 요구를 적극적으로 만족시킬 수 있는 새로운 형태의 패키지 및 이셀블리 공정을 제공하여 이미지 센서 모듈의 소형화를 이루고자 한다.

발명의 이루고자 하는 기술적 과제

본 발명은 상기와 같은 기존의 문제점을 해결하고자 중요한 두 가지 개념을 도입하였다.

즉, 본 발명은 반도체 촬상소자 이미지 센서 모듈의 크기 감소의 중요한 사안이 패키지 크기의 감소를 위해 기존의 골드 와이어 본딩 방식이 아니라 전극패드에 솔더를 집적 형성시켜 회로기판에 실장하는 플립칩 솔더 bump를 이용한 패키지를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적인 과제는, 솔더 bump 후 리플로우 공정 중에 발생할 수 있는 플럭스 증발에 의한 반도체 촬상소자의 표면 오염을 방지할 수 있는 플립칩 조립 공정을 제공하는 것이다.

본 발명의 또 다른 특징은, 상기 공정으로 제조된 반도체 촬상소자 플립칩 패키지를 적용한 새로운 구조의 이미지 센서 모듈을 제공하는 것이다.

발명의 구성 및 작용

상기한 바와 같은 본 발명의 목적을 달성하기 위한 반도체 촬상소자(110) 이미지 센서 모듈의 실시예는,

절연층(120)으로 분리된 다수의 전극패드(160)가 있는 반도체 촬상소자(110)와;

노출된 전극패드(160) 및 절연층(120)의 상부에 순차적으로 금속 집착층(130), 중간 확산방지층(140) 및 솔더 본딩층(150)을 형성하는 공정과;

상기 솔더 본딩층(150)의 상부에 에칭용 감광성 물질(185)을 도포한 다음 노광 및 현상하여, 에칭용 감광성 물질(185)이 상기 전극패드(160)의 상부에만 선택적으로 잔류하도록 패터닝하는 공정과;

상기 잔류하는 에칭용 감광성 물질(185)을 마스크로 적용하여 솔더 본딩층(150)을 에칭하는 공정과;

상기 관류하는 에칭용 감광성 물질(185)을 제거한 다음, 에칭된 상기 솔더 본딩층(150)을 포함하는 하부금속층(100)의 상부에 도금공정용 감광성 물질(180)을 도포한 다음 노광 및 현상하여, 상기 에칭된 솔더 본딩층(150) 영역만이 선택적으로 노출되도록 패터닝하는 공정과;

상기 노출된 솔더 본딩층(150)의 상부에 솔더를 도금하여 솔더 범프(190)를 형성하는 공정과;

상기 도금된 솔더 범프(190)를 솔더 본딩층(150)과 융착시켜 구형의 솔더 범프(190)를 형성한 후, 그 솔더 범프(190)를 마스크로 적용하여 상기 중간 확산방지층(140) 및 금속 집착층(130)을 에칭하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

또한, 상기 전극패드(160)의 상부 및 그 주변 절연층(120)의 상부에 형성된 하부 금속층(100)들과;

상기 하부 금속층(100)들이 전극패드(160)로부터 금속 집착층(130)과 중간 확산방지층(140)과 솔더 본딩층(150)으로 순차적으로 구성된 것과;

상기 솔더 본딩층(150)의 상부에 도금된 솔더 범프(190)를 융착시켜 반도체 활성소자(110)를 형성하는 것과;

기관전극패드(210)가 형성되어 있는 회로기판(200)에 상기 솔더범프(190)가 형성된 반도체 활성소자(110)를 융착시키는 것과;

상기 융착된 솔더 범프(190) 주위를 봉지수지재(240)로 도포하여 제조된 모듈로 구성된 것을 특징으로 한다.

본 발명의 바람직한 실시예에 의한 목적과 장점을 첨부 도면을 참조하여 설명하면 다음과 같다.

도 2 는 본 발명에 의해 반도체 활성소자(110)에 솔더 범핑을 적용하는 과정을 단계별로 나타낸 것이다.

먼저, 도 2a를 참조하면, 반도체 활성소자(110)의 표면에 절연층(120)을 형성한 다음, 선택적으로 식각하여 서트 이격되는 다수의 전극패드(160)를 노출시키고, 그 결과물의 상부전면에 순차적으로 금속 집착층(130), 중간 확산방지층(140) 및 솔더 본딩층(150)을 형성한다.

이때, 금속 집착층(130)은 반도체 활성소자(110)의 절연층(120)과 전극패드(160)와의 접착력이 우수한 Ti, Al 또는 Cr 중 선택된 어느 하나를 사용하거나 이들을 함유하는 합금들이 될 수 있으며, 중간 확산방지층(140)은 솔더가 고온에서 솔더 본딩층(150)과 심한 반응을 하여 금속 집착층(130)과 직접 닿는 것을 방지할 목적으로 Ni 또는 그 합금, Cr-Cu 합금이 사용될 수 있으며, 솔더 본딩층(150)은 용융된 솔더가 잘 퍼지거나 우수한 접착력을 가질 수 있는 납속으로 Si 또는 그 합금, Cu 또는 그 합금 등이 사용될 수 있다.

특히, 본 발명에서는 반도체 활성소자(110)의 표면을 범핑 공정 중에 발생할 수 있는 오염으로부터 방지하는 목적과 반도체 소자 전극패드의 금속학적 연속성을 부여할 목적으로 금속 집착층(130)으로는 Al 또는 그 합금, 중간 확산방지층(140)은 TiW 또는 Ti, Ti 합금계로 구성하는 것을 특징으로 한다.

상기 금속 집착층(130)은 100~5000Å 두께의 Al 제질, Al계 합금 제질, Ti 제질, Ti계 합금 제질, Cr 제질 또는 Cr 합금제질 중 선택된 어느 하나로 형성하는 것이 바람직하다.

상기 중간 확산방지층(140) 역시 100~5000Å 두께의 TiW 제질, Ti계 합금제질 중 선택된 어느 하나로 형성하는 것이 바람직하다.

상기 솔더 본딩층(150)은 100~5000Å 두께의 NiW 제질, Ni계 합금 제질, Cu 제질, Cu 합금, 또는 Au 제질 중 선택된 어느 하나로 형성하는 것이 바람직하다.

또한 솔더 본딩층(150)은 감광성 물질을 사용하여 제한된 영역에 전기 또는 무전해 도금으로 형성시킬 수 있으며, 도금(전기 또는 무전해)법을 적용하는 경우 0.1 ~ 5 μm 의 NiW 제질, Ni계 합금 제질, Cu 제질, Cu 합금 제질 중 선택된 어느 하나로 형성하는 것이 바람직하다.

그리고, 솔더 범프(190)를 전극패드(160) 또는 특정 영역에만 형성시키기 위한 공정으로서, 도 2b 에 도시한 바와 같이 상기 솔더 본딩층(150)의 상부에 에칭용 감광성 물질(185)을 도포한 다음, 노광 및 현상하여 도 2c 에 도시한 바와 같이 에칭용 감광성 물질이 상기 전극패드(160)의 상부에만 선택적으로 잔류하도록 패터닝한 다음, 이를 마스크로 적용하여 솔더 본딩층(150)을 화학적으로 에칭한다.

따라서, 솔더 본딩층(150)이 에칭된 영역은 TiW 재질, Ti계 합금 재질 또는 W계 합금 재질의 중간 확산방지층(140)이 최상부층이 된다.

그리고, 도 2d 에 도시한 바와 같이 에칭된 상기 솔더 본딩층(150)을 포함하는 하부 금속층(100)의 상부에 도금공정용 감광성 물질(180)을 도포한 다음, 노광 및 현상하여 상기 에칭된 솔더 본딩층(150) 영역만이 선택적으로 노출되도록 패터닝한다.

또한, 비록 도면에는 나타나지 않았으나 솔더 본딩층(150)은 다른 방법으로도 형성될 수 있어서, 금속 접착층(130)과 중간 확산방지층(140)을 연속 적층한 후 솔더 도금공정용 감광성 물질(180)을 도포, 노광 및 현상하여 솔더가 도금된 영역을 개방시킨 상태에서 Ni를 전기 또는 무전해 도금으로 형성시킬 수 있으며 그 두께는 0.1 ~ 5 μm 가 효율적이다.

그리고, 도 2e 에 도시한 바와 같이 상기 노출된 솔더 본딩층(150)의 상부에 솔더를 도금하여 솔더 범프(190)를 형성한다.

그리고, 도 2f 에 도시한 바와 같이 상기 패터닝된 도금공정용 감광성 물질(180)을 제거하면 솔더 범프(190)가 형성되지 않은 영역의 최상부층은 TiW 재질, Ti계 합금 재질 또는 W계 합금 재질의 중간 확산방지층(140)이며, 이 중간 확산방지층(140)은 솔더 범프를 용융시키는 경우에 솔더 범프(190)가 퍼지지 않도록 하는 특성을 갖는다.

따라서, 도 2f 에 도시한 바와 같이 솔더 범프(190)가 용융되는 경우에도 솔더 범프가 TiW 재질, Ti계 합금 재질 또는 W계 합금 재질의 중간 확산방지층(140)으로 퍼지지 않고, 솔더 본딩층(150) 상부에만 구형으로 존재하게 된다.

즉, 본 발명에 의한 TiW 재질, Ti계 합금 재질 또는 W계 합금 재질로 된 중간 확산방지층(140)은 솔더 댁의 역할을 수행할 뿐만 아니라, 동시에 금속 접착층(130)과 연속적으로 적층되어 전극패드(160)의 기계적 안정성과 열적 안정성 그리고, 솔더 범프(190) 공정의 편의성을 제공할 수 있게 된다.

그 이유로는, 일반적으로 TiW 재질은 반도체 활성소자(110)의 배선공정에서 설계 수백도 이상의 고온에서 Al 성분의 중간 확산방지층(140)으로 적용되고 있으면서, 동시에 Sn 또는 Pb 등의 솔더 재료와 반응하지 않고, 또한 용융된 솔더가 젖지 않기 때문에 열적 확산방지 및 솔더 댁(솔더가 젖지 않아서 용융된 솔더의 영역을 제한하는 역할)의 역할을 동시에 수행할 수 있기 때문이다.

마지막으로, 도 2g 에 도시한 바와 같이 상기 솔더 범프(190)를 마스크로 적용하여 상기 중간 확산방지층(140) 및 금속 접착층(130)을 회각적으로 에칭하므로써, 본 발명의 바람직한 실시예에 따른 솔더 범프(190)가 형성된 반도체를 산소자(110)가 제조된다.

상기 공정들로 제조된 본 발명의 반도체 활성소자 웨이퍼는 전기적 테스트 결과로부터 양호한 제품의 소자들만 골라서 일정 규격의 트레이에 담겨진다.

트레이에 담겨진 반도체 활성소자 패키지는 이셋블리 공정 중 플럭스에 의한 소자(110) 표면의 오염을 방지하기 위해 솔더 범프(190)를 불소 플라스마 처리한다.

불소 플라스마 처리방법에 관한 상세한 내용은, 미국 특허 5,625,815 에 기재되어 있다. 즉 솔더 범프(190)를 불소 플라스마에 노출하므로써, 간단히 솔더 불(500) 표면의 금속 산화물이 불소 산화물로 변화한다.

불소 산화물은 인정시간 이내에 일정 산소 분압 이하의 불활성 분위기에서 리플로우 하면 분해될 수 있어서 플럭스 없이 솔더가 용융될 수 있는 특성을 갖고있다.

따라서 상기 처리된 패키지를 풀립칩 본더 장비로 정해진 위치에 올려놓은 후 일정 이하의 산소 분압(20 ppm)하의 불활성 가스(질소 또는 아르곤)에서 리플로우하면, 플럭스를 사용 하지 않고 회로기판(200)에 용착이 가능하게 된다.

다음 공정은 상기 공정으로 제조된 패키지, 즉 솔더 범프(190)가 형성되어 있고 그 표면이 불소 처리된 반도체 활성소자(110) 패키지를 이셋블리하는 것으로 이를 도 3 에 이셋블리 공정도로 나타내었다.

먼저, 도 3a 에 도시한 바와 같이 본 발명에 적합한 회로기판(200)의 구조도의 일례가 도시되어 있다.

이 회로기판(200)은 빛이 투과할 수 있도록 반도체 활성소자(110)의 이미지 센싱 영역과 동일 또는 그 이상의 크기의 개구부(220)가 존재하며, 그 인접 외곽에는 솔더 범핑된 소자가 본딩되는 기판전극패드(210)가 존재하게 되며, 그 보다 외곽에는 최종적으로 완성된 이셋블리가 제품 회로기판(200)에 실장될 때 이용하기 위해 후술하는 솔더 볼(300

)이 장작될 영역으로서 재질은 상기 솔더 범프용 패드와 동일하며, 크기만 다른 기판전극패드(210)가 존재한다. 이때 기판전극패드(210)는 Cu, Ni, Au 재료의 조합으로 구성될 수 있다.

그리고 상기 반도체 활성소자(110) 패키지가 장작될 영역의 회로기판 부위는 그 외부에 비해 단차를 갖고 있어 반도체 활성소자 패키지가 장작된 후에도 불활성부위가 발생되지 않거나 최소화되어 후공정에서 솔더 불(300) 장작 및 어셈블리 공정의 용이성을 확보하도록 구성되며 이때의 형상이 도 3b 에 나타나 있다.

또한, 도 3c 에 도시한 바와 같이 회로기판(200)은 2개 이상 다수의 패키지 장작용 단위 모듈기판이 먼 베열로 구성되어 있으며, 단위 모듈기판은 모듈 절단용 홈(260)로 분리되어 있고, 일부분이 회로기판 가이드 바(250)로 연결되어 있어 최종 공정에서 분리가 용이하도록 하여 솔더 불(300) 장작 등의 후공정 시 생산성을 도모할 수 있도록 하였다.

상기 공정으로 제조된 패키지를 회로기판(200)에 돌입된 본드 장비로 정해진 위치에 올려놓은 후 일정 이하의 산소 분압(20 ppm)하의 불활성 가스(질소 또는 아르곤)에서 리플로우하여 용착시킨다.

또한, 솔더 부위의 기계적 강도 및 신뢰성을 향상시킬 목적으로 봉지수지재(240)를 질 외곽 부위를 따라 도포하여 모세관 현상에 의해 솔더 접점부 주위를 채워주고 경화시킨다.

상기 봉지수지재(240) 도포 공정은 솔더 범프(190)가 형성된 반도체 활성소자(110)의 장작 전에 미리 봉지수지재(240)를 도포하고, 솔더 범프(190)가 형성되어 있는 패키지를 장작하며, 리플로우 및 봉지수지재(240)의 경화공정을 동시에 수행하여 공정단축을 도모할 수 있다. 이 봉지수지재(240)는 패키지와 회로기판(200) 사이의 틈을 막아주어서 최종적으로는 밀봉의 역할을 병행한다.

다음으로, 주조하는 이미지 센서 어셈블리(270)된 모듈의 최종적인 밀봉을 위해 패키지가 실장된 반대면의 개구부(220)에 유리판(245)을 접착하며, 이 공정은 반도체 활성소자(110)의 신뢰성을 위해 불활성 기체 분위기에서 행하여 밀봉 영역 내부를 불활성 분위기로 밀봉한다.

다음으로, 최종 모듈을 완성하기 위해서 제품에 실장하기 위해 사용될 솔더 불(300)을 장작하는 공정으로서 도 3c 내지 도 3e 에 도시하였다.

이때 사용되는 솔더 불(300)은 상기에 명기된 불소 플라스마 처리를 행한 것을 사용하여 플럭스를 사용하지 않는 것을 특징으로 하며, 불소 플라스마 처리가 미리 행하여져 있는 솔더 불(300)을 사용한다.

도 3d 에 도시한 바와 같이 솔더 불(300)이 놓일 자리와 동일한 위치에 다수의 스텔실 마스크 구멍(290)이 뚫려 있는 스텔실 마스크(280)를 먼 베열로 배열하여 모듈 상에 장착시킨 후 다수의 솔더불(300)을 안착시킨다.

이때 스텔실 마스크 구멍(290)의 크기는 솔더 불(300) 직경의 110 % 이상이 되어야 하며, 스텔실 마스크(280) 두께는 솔더 불(300) 직경의 80 % 이하이어야 한다.

도 3c 는 이들 각각의 솔더 불(300)이 기판전극패드(210)로부터 이탈하지 않도록 초음파 트랜듀서(320) 장비를 사용하여 솔더 불(300)을 압착시키는 것을 나타내고 있으며, 이를 리플로우 시키면 솔더 불(300)이 형성되어서 본 발명에 의한 이미지 센서 어셈블리(270) 모듈의 제조공정이 완성되고, 이를 도 4 에 도시하였다.

또한, 다른 예로서 상기 공정에서 불소 표면 처리되어 장작되어 있는 솔더 불(300)을 리플로우 시키지 않고, 직접 제공에 장작 후 플럭스 처리 없이 리플로우 하므로서 실장공정 단축을 도모할 수 있다.

또 다른 솔더 불 장작 방법은, 일반적인 공정을 사용할 수도 있어서, 도 3c의 스텔실 마스크(280)와 유사한 마스크를 사용해 플럭스를 도포한 후, 다시 스텔실 마스크(280) 또는 장비를 사용하여 솔더 불(300)을 장작하고 리플로우 하여 솔더 불(300)을 최종 형성시키는 공정도 사용할 수 있다.

이상과 같이 본 발명에 따른 반도체 활성소자 패키지 및 그 어셈블리 방법을 예시된 도면을 참조로 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명은 이에 한정되지 않으며, 본 발명의 기술사상 범위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

발명의 효과

상기한 바와 같이 본 발명에 의한 반도체 활성소자 패키지 및 그 제조방법으로 제조된 이미지 센서 어셈블리(270)는, 도 6 에 도시한 바와 같이 종래의 플드 와이어 본딩 방식을 사용하여 제조된 이미지 센서 패키지(3)에 비해서 패키지

의 크기를 최소화하고, 궁극적으로 최종 모듈의 크기를 크게 감소시키는 효과가 있다.

또한, 본 발명에 의해 반도체 활성소자(110) 이미지 센서 패키지를 제조하는 경우 입관 공정이기 때문에 생산비를 절감할 수 있는 효과가 있다.

또한, 반도체 활성소자(110)를 본 발명의 플립칩 패키지 공정에 사용된 솔더 범프(190)의 하부 금속층(100)으로 사용된 금속 중 중간 확산방지층(140)이 TiW 또는 Ti계 합금 재질 또는 W계 합금 재질로 되어 있어 상기 중간 확산방지층(140)이 솔더 덩(솔더가 젖지 않아서 용융된 솔더의 영역을 제한하는 역할)의 역할을 하기 때문에 솔더 리플로우 전에 식각 하지 않아서 반도체 활성소자(110) 표면을 솔더 리플로우에 의한 오염으로부터 방지할 수 있는 효과가 있다.

한편, 솔더 범프(190)가 형성된 반도체 활성소자(110) 패키지를 회로기판(200)에 실장 시 솔더 표면의 불소 플라스마 처리를 사용하여 리플로우 하므로서 플럭스를 사용하지 않음으로 인해 이에 의한 오염을 방지할 수 있는 등의 제반 특, 장점이 있다.

(57) 청구의 범위

청구항 1.

절연층(120)에 의해 이격되는 다수의 전극패드(160)가 노출된 반도체 활성소자(110)에 있어서,

상기 전극패드(160)상에 다층으로 구성된 하부 금속층(100)과;

상기 하부 금속층(100)에 융착된 솔더 범프(190)와;

상기 솔더 범프(190)가 형성된 반도체 활성소자(110) 패키지가 기판용 절연층(235)으로 분리된 다수의 기판전극패드(210)를 갖는 회로기판(200)에 융착된 이미지 센서 어셈블리(270)와;

융착된 패키지의 솔더 범프(190) 주위가 봉지수지재(240)로 보호 및 밀봉되고 반대면 개구부 유리판(245)으로 밀봉된 구조를 포함하는 반도체 활성소자 패키지.

청구항 2.

다수의 전극패드(160)를 갖는 반도체 활성소자(110)에 있어서,

절연층(120)으로 이격시켜 전극패드(160)를 노출시키는 공정과;

상기 노출된 전극패드(160) 및 절연층(120)의 상부에 순차적으로 금속 전착층(130), 중간 확산방지층(140) 및 솔더 본딩층(150)을 형성하는 공정과;

상기 솔더 본딩층(150)의 상부에 에칭용 감광성 물질(185)을 도포한 다음, 노광 및 현상하여 감광성 물질이 상기 전극패드(160)의 상부에만 선택적으로 잔류하도록 패터닝하는 공정과;

상기 잔류하는 감광성 물질(185)을 마스크로 적용하여 솔더 본딩층(150)을 에칭하는 공정과;

상기 잔류하는 감광성 물질(185)을 제거하는 공정과;

상기 솔더 본딩층(150)의 상부에 도금공정을 감광성 물질(180)을 도포한 다음, 노광 및 현상하여 상기 전극패드 상부의 하부 금속층(100) 중 에칭 후 잔류하는 솔더 본딩층(150) 영역만이 선택적으로 노출되도록 패터닝하는 공정과;

상기 노출된 솔더 본딩층(150)의 상부에 솔더를 도금하는 공정과;

상기 패터닝된 도금공정을 감광성 물질(180)을 제거한 후, 상기 도금된 솔더를 솔더 본딩층(150)과 융착시켜 솔더 범프(190)를 형성하는 공정과;

상기 융착된 솔더 범프(190)를 마스크로 적용하여 전류 하부 금속층(100)을 에칭하는 공정과;

제조된 구형의 솔더 범프(190)에 불소 처리를 하는 공정과;

완성된 패키지를 회로기관(200)에 안착 및 용착시키는 공정과;

솔더 접침부에 봉지수지재(240)를 도포하고, 반대편 개구부에 유리판(245)으로 밀봉하는 공정; 및

제조된 어셈블리에 최종 제품과 연결하기 위해, 솔더 볼(300)을 장착하는 공정을 포함하는 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 3.

제 2 항에 있어서,

상기 금속 집착층(130)은 100~5000Å 두께의 Al 제질, Al계 합금 제질, Ti 제질, Ti계 합금 제질, Cr 제질 또는 Cr 합금제질 중 선택된 어느 하나로 형성된 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 4.

제 2 항에 있어서,

상기 중간 확산방지층(140)은 100~5000Å 두께의 TiW 제질, Ti계 합금 제질 중 선택된 어느 하나로 형성된 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 5.

제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 중간 확산방지층(140)은 상기 금속 집착층(130)과 솔더 본딩층(150)의 사이에 삽입되어 100℃ 이상의 고온에서 금속 집착층(130)과 솔더 본딩층(150)의 상호 확산반응을 방지함과 아울러, 용융된 솔더가 젖지 않도록 TiW 또는 Ti를 함유하는 합금 제질로 형성된 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 6.

제 2 항에 있어서,

상기 솔더 본딩층(150)은 100~5000Å 두께의 NiV 제질, Ni계 합금 제질, Cu 제질, Cu 합금, Au 제질 중 선택된 어느 하나로 형성된 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 7.

제 2 항에 있어서,

상기 솔더 본딩층(150)을 형성함에 있어서, 중간 확산 방지층(140)상에 도금공정용 감광성 물질을 도포하고 솔더가 도금될 영역을 개방한 후, Ni를 0.1 ~ 5 μm 의 두께로 전기 또는 부전해 도금하는 것을 특징으로 하는 반도체 활성소자 패키지 제조방법

청구항 8.

제 2 항에 있어서,

상기 솔더 범프(190)가 형성된 반도체 활성소자(110)가 장착될 회로기관(200)상에는, 반도체 활성소자(110)의 이미징 센싱 영역 이상의 크기를 갖는 개구부(220)를 형성하고, 상기 개구부 주위에는 반도체 활성소자(110)의 솔더 범프(190)가 놓일 다수의 기관전극패드(210)를 갖는 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

청구항 9.

제 2 항에 있어서,

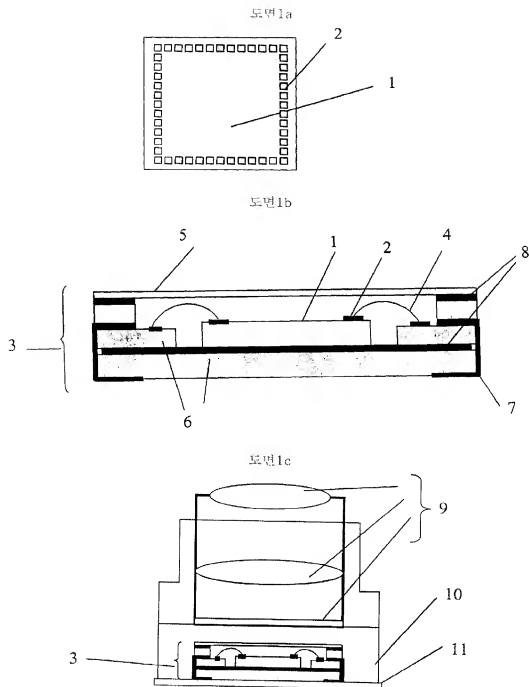
상기 회로기관(200)은 솔더 범프(190)가 형성된 반도체 활성소자(110) 패키지가 장착되는 영역이 단차를 갖도록 하여 패키지가 장착후의 높이가 회로기관(200)의 높이와 동일하거나 낮은 것을 특징으로 하는 반도체 활성소자 패키지 제조방법.

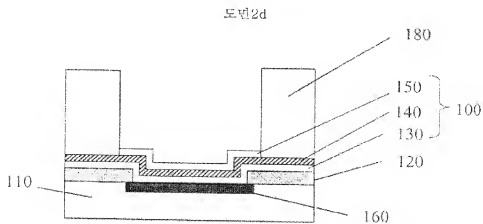
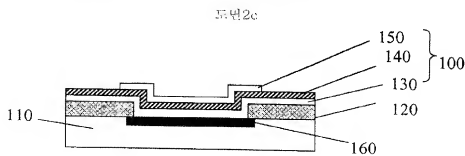
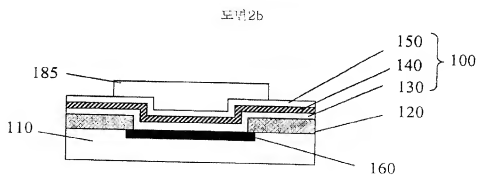
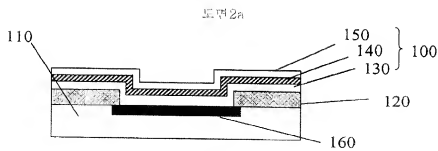
청구항 10.

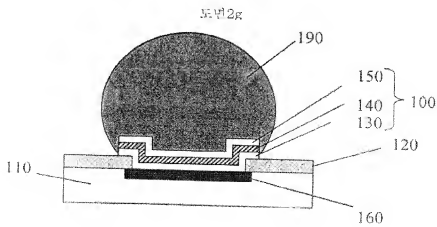
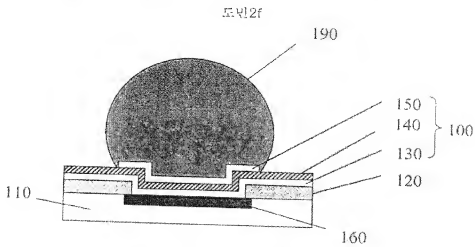
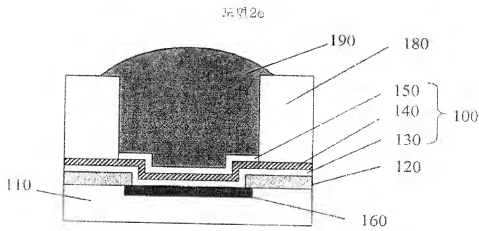
제 2 항에 있어서,

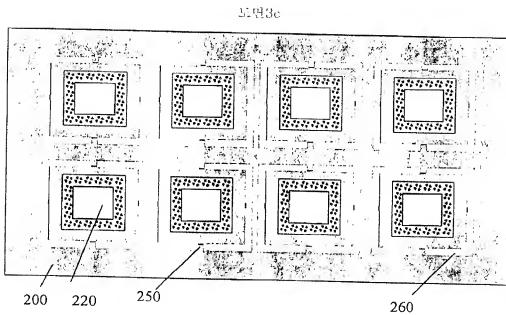
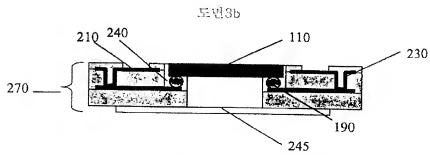
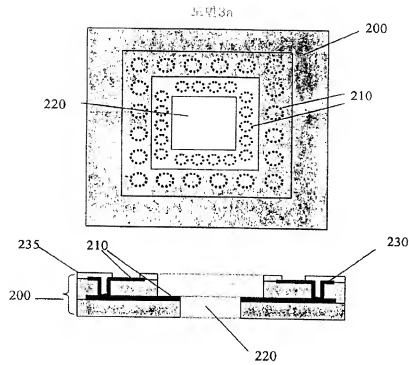
상기 도금으로 형성된 솔더 범프(190)를 리플로우하기 전 또는 후에 솔더 표면을 불소 플라스마 처리하여 플럭스를 사용하지 않고 회로기판(200)에 실장하므로써 반도체 촬상소자(110)의 오염을 방지하도록 한 것을 특징으로 하는 반도체 촬상소자 패키지 제조방법.

도면

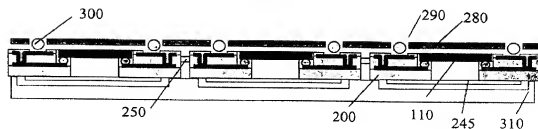




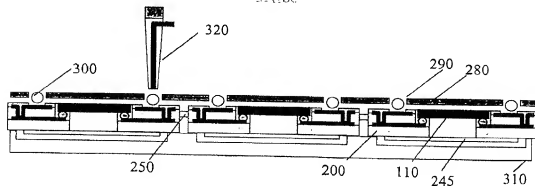




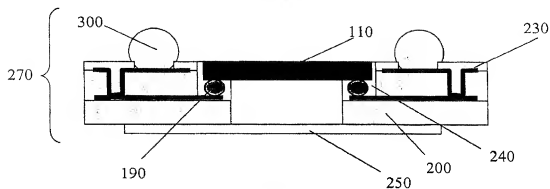
도면3d



도면3e



도면4



도면5

